

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-132537

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

21/331

29/73

9056-4M

7377-4M

H 0 1 L 29/ 78

29/ 72

3 1 1 X

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号

特願平4-277108

(22)出願日

平成4年(1992)10月15日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 岩崎 靖和

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

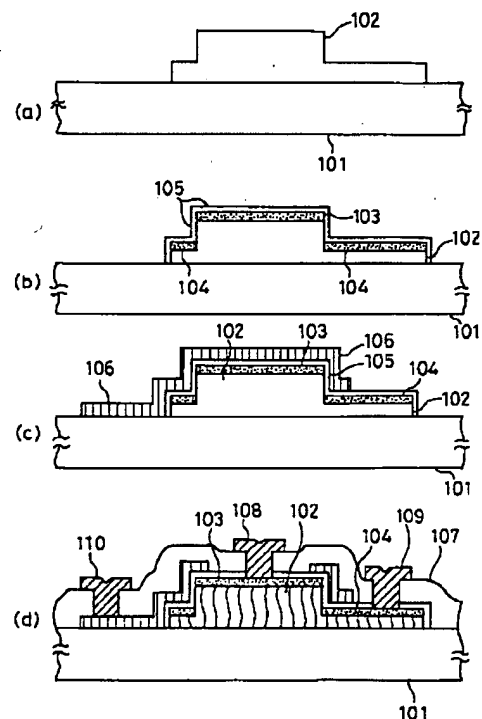
(74)代理人 弁理士 三好 保男 (外1名)

(54)【発明の名称】 多結晶半導体装置

(57)【要約】

【目的】 本発明は、特性のばらつきがなく信頼性の高い多結晶シリコンなどの多結晶半導体装置を提供することを目的とする。

【構成】 本発明では、基準面より表面側に突出する凸部を有するとともに、少なくとも前記凸部の側壁近傍の結晶粒界が表面から裏面に向かう方向に形成されている多結晶半導体102の凸部の側壁面すなわち結晶粒界に添ってキャリアの輸送方向が形成されるようにしている。



【特許請求の範囲】

【請求項1】 基準面より表面側に突出する凸部を有するとともに、少なくとも前記凸部の側壁近傍の結晶粒界が表面から裏面に向かう方向に形成されている多結晶半導体基板と、

この多結晶半導体基板の凸部の表面に形成されるソース領域またはドレイン領域と、

前記多結晶半導体基板の基準面の所定領域に形成されるドレイン領域またはソース領域と、

前記多結晶半導体基板の凸部の側壁に形成されるゲート電極とを具備したことを特徴とする多結晶半導体装置。 10

【請求項2】 基準面より表面側に突出する凸部を有するとともに、少なくとも前記凸部の側壁近傍の結晶粒界が表面から裏面に向かう方向に形成されている多結晶半導体基板と、

この多結晶半導体基板の凸部の表面の所定領域に形成されるエミッタまたはコレクタ領域と、

前記多結晶半導体基板の基準面近傍に形成されるコレクタ領域またはエミッタ領域と、

前記多結晶半導体基板の前記コレクタ領域とエミッタ領域とによって挟まれる領域に形成されるベース領域とを具備したことを特徴とする多結晶半導体装置。 20

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多結晶半導体装置にかかり、特に特性のばらつきの少ない多結晶半導体装置に関する。

【0002】

【従来の技術】現在、LSIの集積度を上げるために半導体素子の微細化はもとより、回路素子の積層化が積極的に試みられている。この素子の積層化は、多層構造の新しい多機能素子への展開や、製造工程の短縮への応用など多くの可能性を得ており、今や内外で研究開発が繰り広げられている。

【0003】その1つに図4(a)に示すように、TFT(Thin Film Transistor: 薄膜電界効果トランジスタ)と呼ばれるものがある。TFTはフラットパネルディスプレイのスイッチング素子、密着型イメージセンサの駆動回路など、応用を目的とした研究開発、実用化が精力的に進められている。この半導体装置は、石英基板1表面に形成された多結晶シリコン膜2表面にゲート絶縁膜としての酸化シリコン膜8を介してゲート電極5を形成し、このゲート電極5をマスクとしてイオン注入を行いn+多結晶領域からなるソース・ドレイン領域3、4を形成したもので、層間絶縁膜9を介してソース・ドレイン領域にコンタクトするアルミニウム電極6、7が形成されている。このようなTFTには寄生容量の低減による高速化、ラッチアップフリーのCMOS、メモリにおけるソフトエラーの向上、あるいは3次元LSIなど、多くの期待が寄せられている。 40

【0004】このような従来の半導体装置においては、高速化をはかろうとした場合、多結晶シリコン膜の電気特性の改善はもとより、素子の微細化が進められることになるが、素子の寸法が多結晶半導体の結晶粒径と同程度になると、素子領域内に存在する結晶粒界の個数が大きくばらつくことになり、その結果素子間の電気的特性が大きくばらつき、所望の特性をもつ素子設計を行うことができないという問題がある。またその結果最適な回路設計ができないために回路特性マージンを大きくとる 10

【0005】これらの問題の根本的な原因は多結晶シリコンという多結晶半導体の構造、すなわち結晶粒界の存在に起因するもので、これは本質的な問題である。

【0006】図4(b)は気相成長法によって基板上に成長させた多結晶シリコン膜の構造を示す。この図によれば単結晶粒20と結晶粒界21から構成されており、気相成長法による多結晶シリコン膜は下地から順次上方向に成長するため、結晶粒も上方に伸びた柱状構造となる。側面を見ると結晶粒界があたかも竹の節のように見えることからバンブー構造と呼ばれている。多結晶シリコン膜の構造は製造方法に大きく依存するが、基本的にはいずれも単結晶粒と結晶粒界とによって構成される。この結晶粒界には多量の格子欠陥があり、この格子欠陥はシリコンの禁制帯中に電子、正孔(キャリア)の捕獲準位を形成する。

【0007】この図4(b)に示した多結晶シリコン膜のA-A方向およびB-B方向のエネルギーバンド図を図5(a)および(b)に示す。n型多結晶シリコンの場合、結晶粒界の捕獲電位に電子が捕獲され、一方p型多結晶シリコンの場合、結晶粒界の捕獲電位に正孔が捕獲され、この捕獲された電子が結晶粒界での電位を高め、高さ ψ_B の電位障壁を形成し、結晶粒界を中心として空間電荷層が形成される。これらの電位障壁 ψ_B と空間電荷層とによってキャリアは散乱される(T.I.Kamins, J. Appl. Phys., 42, 4357(1971))。

【0008】このように従来の半導体装置では素子領域を通過するキャリアは、電位障壁と空間電荷層の形成された結晶粒界を越えなければならない構造となっていた。素子の微細化が進み、素子の寸法が結晶粒径と同程度となってきたとき、ある素子ではキャリアの越えなければならない結晶粒界が1個、ある素子では2個、3個などとばらつくことになり、この差異がそのまま素子間の電気特性のばらつきとなってあらわれる。

【0009】

【発明が解決しようとする課題】このように従来の多結晶シリコンを用いた半導体装置は微細化が進み、素子寸法が結晶粒径と同程度となると、素子領域内に存在する 50 結晶粒界の個数が大きくばらつくことになり、素子間の

電気的特性が大きくばらつく原因となっていた。本発明は前記実情に鑑みてなされたもので、特性のばらつきがなく信頼性の高い多結晶半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】そこで本発明では、基準面より表面側に突出する凸部を有するとともに、少なくとも前記凸部の側壁近傍の結晶粒界が表面から裏面に向かう方向に形成されている多結晶半導体基板の凸部の表面すなわち結晶粒界に添ってキャリアの輸送方向が形成されるようにしている。

【0011】すなわち本発明の第1では、基準面より表面側に突出する凸部を有するとともに、少なくとも前記凸部の側壁近傍の結晶粒界が表面から裏面に向かう方向に形成されている多結晶半導体基板の凸部の表面にソース領域またはドレイン領域を形成し、この多結晶半導体基板の基準面の所定領域にドレイン領域またはソース領域を形成して、多結晶半導体基板の凸部の側壁にゲート電極を形成するようにしている。

【0012】また本発明の第2では、この多結晶半導体基板の凸部の表面の所定領域にエミッタまたはコレクタ領域を形成する一方、多結晶半導体基板の基準面近傍にコレクタ領域またはエミッタ領域を形成し、多結晶半導体基板で前記コレクタ領域とエミッタ領域とによって挟まれる領域にベース領域を形成するようにしている。

【0013】

【作用】上記構成によれば、基準面より表面側に突出する凸部を有するとともに、少なくとも前記凸部の側壁近傍の結晶粒界が表面から裏面に向かう方向に形成されている多結晶半導体基板の凸部の側面の表面すなわち結晶粒界に添ってキャリアの輸送方向が形成されるようにしているため、結晶粒界を越える必要がないため、結晶粒界の数によって特性が依存することなく均一で信頼性の高い半導体装置を得ることができる。

【0014】

【実施例】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0015】この例では図1にその製造工程図を示すように、気相成長によってバンパー構造の多結晶シリコン膜102を形成し、この多結晶シリコン膜の成膜方向に添ってチャネル領域を形成してFETを形成するようにしたことを特徴とする。

【0016】まず、図1(a)に示すように、気相成長法により石英基板101の表面にバンパー構造の多結晶シリコン膜を成膜し、フォトリソグラフィ、エッチング、反応性イオンエッチングを2回繰り返して、凸状の多結晶シリコン膜102を形成する。

【0017】次いで図1(b)に示すように、イオン注入法により凸状の多結晶シリコン膜102の凸面および底面に不純物イオンを注入しソース・ドレイン領域10

3, 104を形成した後、熱酸化あるいはCVD法等によりゲート酸化膜105を形成する(ソース・ドレインを構成する多結晶シリコン領域の間の垂直に切り立った側壁がゲートである)。

【0018】そして、図1(c)に示すように高不純物濃度のポリシリコン膜等をCVD法等により成膜し、ゲート電極106を形成する。

【0019】この後CVD法により、図1(d)に示すように酸化シリコン膜からなる層間絶縁膜107を形成し、これにコンタクトを形成してアルミニウムなどの金属配線を形成しソース電極108, ドレイン電極109, ゲート電極110が形成される。

【0020】このようにして形成された半導体装置においてはゲート電極110が基板表面に垂直に形成されており、素子領域においてキャリアは垂直方向に輸送される。この素子領域の多結晶シリコンは、気相成長法によって形成された垂直方向に柱状をなす単結晶粒から構成されている。図2(a)に多結晶シリコンの構造を示すと共に、図2(b)および図2(c)に、この多結晶シリコン膜のA-A方向およびB-B方向のエネルギーバンド図を示す。ここではn型多結晶シリコンの場合を示す。同図中、A-A'がキャリアの移動方向であり、この方向に移動するキャリアは結晶粒界を越える必要はなく、雨どい状のポテンシャル面を流れていくことがわかる。バンド構造はn型多結晶シリコンの無バイアスの場合を示す図であるが、p型多結晶シリコンにゲート電界をかけてnチャネルを形成したときも同様に考えて良い。またp型多結晶シリコンにゲート電界をかけてnチャネルを形成したときも同様に考えられる。また、p型多結晶シリコンの無バイアス状態あるいはn型多結晶シリコンにゲート電界をかけてpチャネルを形成した場合には、図2(c)を上下反転して正孔が逆さの雨どいを流れていくと考えて良い。

【0021】ソース・ドレイン領域では不純物濃度が高いために、空間電荷層の幅が十分に狭くなり、キャリアはトンネル現象によって流れることができるため、結晶粒界による散乱はない。従っていずれの方向にキャリアを流す構造をとるようにしても問題はない。

【0022】また、多結晶シリコンを気相成長法で形成した場合、結晶粒は膜厚が0.1μm以下の場合には不規則であるが、0.5~1.0μmと厚くなってくると、基板に垂直に一定の面がそろってくるようになる(T.I.Kamins, J. Electrochem. Soc. 125, 927(1978), N. Nagashima and N. Kubota, Japan, J. Appl. Phys. 14, 1105(1975))。一般に気相成長法で形成される多結晶シリコン膜は、低温で、(100)配向となる。従って(100)配向を用いればキャリアの移動度の大きな(100)方向にキャリアを移動させることになり、電気特性を向上させることができる。このようにして特性にばらつきがなくかつ高速度動作可能な半導体装置を提供することができる。従って

特に、1枚の基板上に多数個の上記FETを配列してスイッチング素子を構成するような場合など、特性のばらつきがないため極めて信頼性の高いスイッチング素子として用いることができる。

【0023】次に本発明の第2の実施例としてバイポーラトランジスタについて説明する。この例では多結晶シリコン膜からなるベースおよびドリフト領域を流れるキャリアが膜厚方向に粒状構造の軸に添って流れるようにしたことを特徴とする。

【0024】まず図3(a)に示すように、石英基板101の表面に気相成長法によりバンパー構造の多結晶シリコン膜を順次成膜し、p+層からなるコレクタ層209、n層からなるドリフト層208、p型ベース層207とを得、このp型ベース層207内にn型不純物を拡散し、n+エミッタ層206を形成する。

【0025】そしてフォトリソグラフィ、エッチング、反応性イオンエッチングを3回繰り返し、3段の凸状の多結晶シリコン膜を形成し、図3(b)に示すように、熱酸化あるいはCVD法等により酸化シリコン膜205を形成する。

【0026】この後、酸化シリコン膜205の所望の領域にコンタクト窓を形成し、不純物を添加しながらCVD法により、図3(c)に示すように高不純物濃度の多結晶シリコンを形成し、エミッタ電極204を形成する。そしてこの上層に酸化シリコン膜からなる層間絶縁膜210を形成し、これにコンタクトを形成してアルミニウムなどの金属配線を形成しベース電極201、エミッタ電極202、コレクタ電極203を形成する。

【0027】このようにして形成された半導体装置においてはベース領域207およびドリフト領域208を流れるキャリアは多結晶シリコンの柱状構造の軸に添って流れ結晶粒界を越える必要がないため、結晶粒界による散乱を受けることなく、エミッターコレクタ間を流れる。従って高速動作可能でかつ、微細化に際しても特性にばらつきのない、バイポーラトランジスタを得ることができる。

【0028】なお、前記実施例ではいずれも多結晶シリコンの軸構造を用いたが、多結晶シリコンに限定されることなく、InSb、GaAsなどの化合物半導体など他の材料の軸構造にも適用可能である。

【0029】また、前記多結晶シリコン膜はいずれの実施例においても気相成長法によって成膜したが、多結晶シリコン膜の粒配列を描えるため、他の方法を用いるようにしてもよい。

【0030】

【発明の効果】以上説明してきたように、本発明によれば、キャリアの輸送方向を多結晶半導体の柱状構造の軸方向に定め、キャリアが素子領域内の結晶粒界を越えることなく動作するため、素子間の電気的特性のばらつきを小さく抑え、所望の特性をもつ多結晶半導体装置を得ること可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のFETの製造工程図

【図2】同FETの粒界とバンド構造図

【図3】本発明の第2の実施例のバイポーラトランジスタの製造工程図

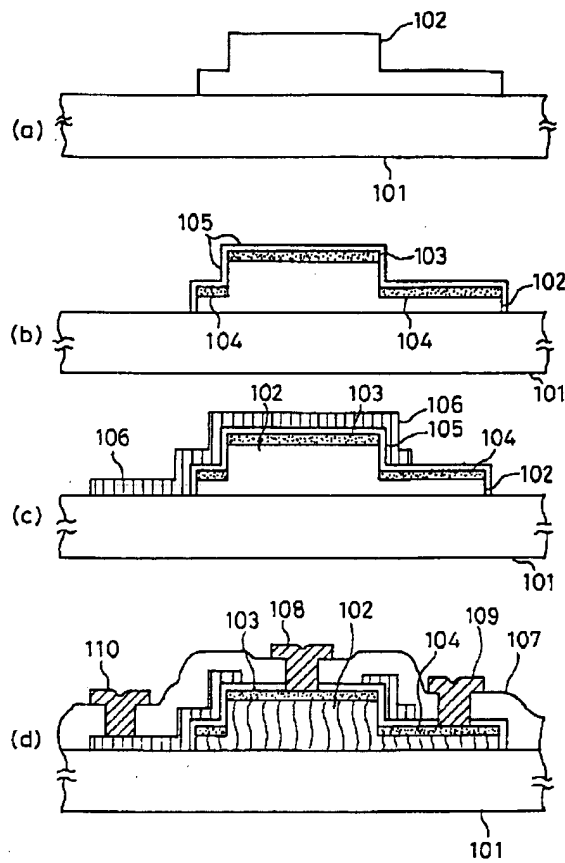
【図4】従来例のFETの製造工程図

【図5】同FETの粒界とバンド構造図

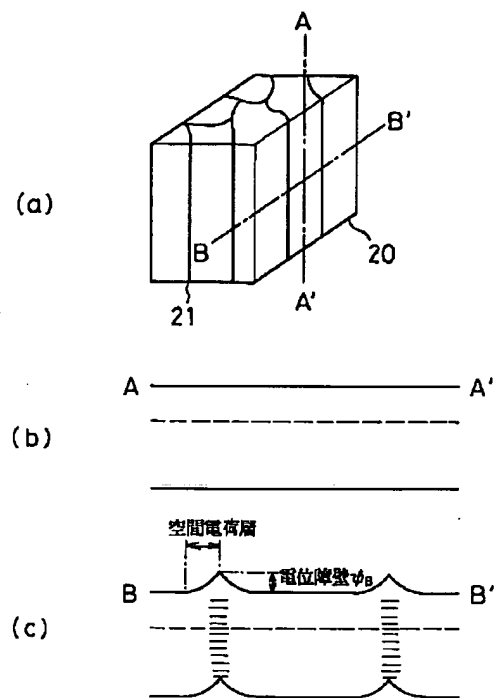
【符号の説明】

- 101 石英基板
- 102 多結晶シリコン膜
- 103 ソース領域
- 104 ドレイン領域
- 105 ゲート酸化膜
- 106 ゲート電極
- 107 層間絶縁膜
- 108 ソース電極
- 109 ドレイン電極
- 110 ゲート電極
- 201 ベース電極
- 202 エミッタ(アルミニウム)電極
- 203 コレクタ電極
- 204 エミッタ電極
- 205 酸化シリコン膜
- 206 エミッタ層
- 207 ベース層
- 208 ドリフト層
- 209 コレクタ領域
- 210 層間絶縁膜

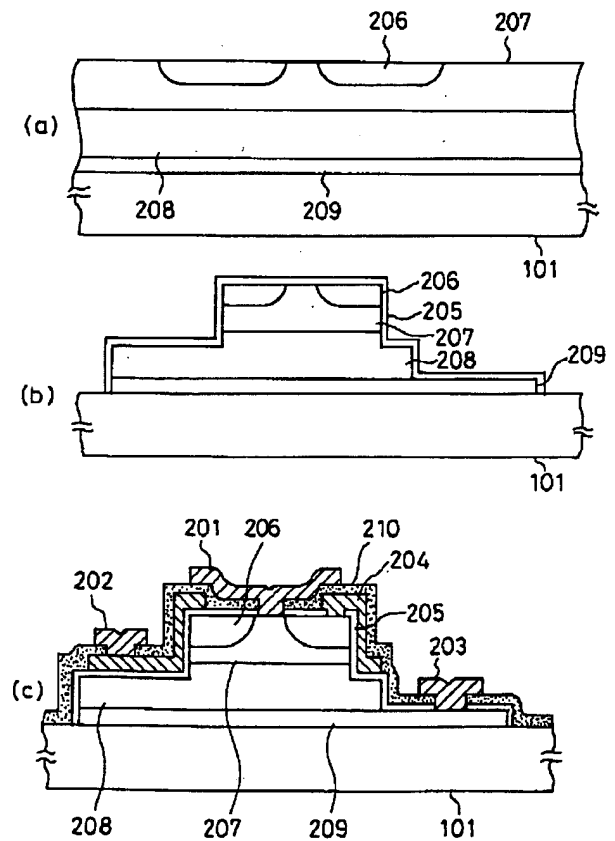
【図1】



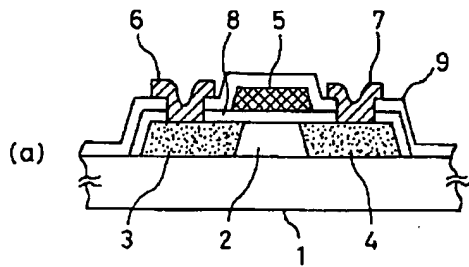
【図2】



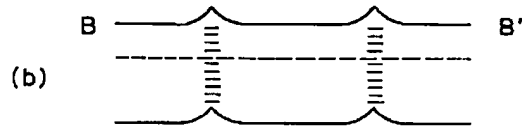
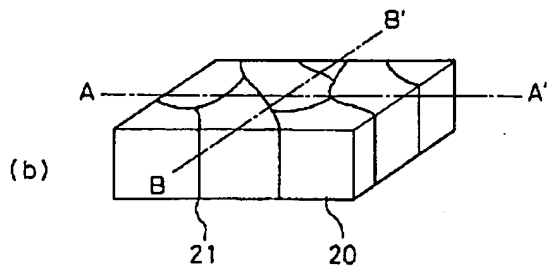
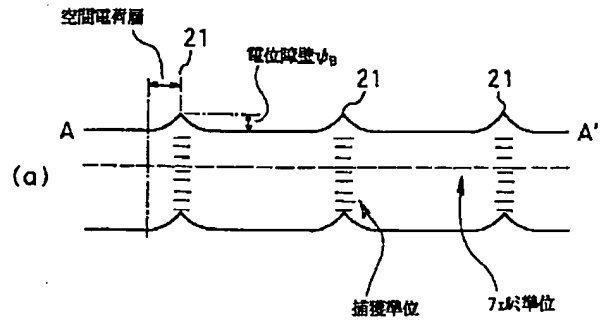
【図3】



【図4】



【図5】



PAT-NO: JP406132537A
DOCUMENT-IDENTIFIER: JP 06132537 A
TITLE: POLYCRYSTALLINE SEMICONDUCTOR DEVICE
PUBN-DATE: May 13, 1994

INVENTOR-INFORMATION:
NAME
IWASAKI, YASUKAZU

ASSIGNEE-INFORMATION:
NAME COUNTRY
NISSAN MOTOR CO LTD N/A

APPL-NO: JP04277108
APPL-DATE: October 15, 1992

INT-CL (IPC): H01L029/784, H01L021/331 , H01L029/73
US-CL-CURRENT:

ABSTRACT:

PURPOSE: To make it unnecessary for a carrier to exceed a grain boundary by having a protrusion projecting from a reference plane to the surface side and by forming the direction of transportation of the carrier along the grain boundary of the side face of the protrusion.

CONSTITUTION: A polycrystalline silicon film of bamboo structure is formed on the surface of a quartz substrate 101, and photolithography. etching and reactive ion etching are repeated twice so that a protruding polycrystalline silicon film 102 is formed. Impurity ion is implanted in the protruding face and bottom face of the silicon film so that source and drain regions 103, 104

are formed, and thereafter a gate oxide film 105 is formed by thermal oxidation, etc. Then, a polysilicon film of high impurity concentration, etc., is formed and a gate electrode 106 is formed, thereafter a layer insulation film 107 is formed and contacts are formed in the film so that a metal wiring is formed, and a source electrode 108, drain electrode 109 and gate electrode 110 are formed. Because the gate electrode 110 is vertically formed in the substrate surface and a carrier is vertically (A-A') transported in an element region, the carrier moving in this direction need not exceed a grain boundary.

COPYRIGHT: (C)1994,JPO&Japio